



**การออกแบบตัวแปลงค่าแอมพลิจูดเป็นสัญญาณดิจิทัล
โดยใช้เทคนิคการประมาณค่าสี่บิต
อนุชา แก้วพูลสุข* และ รัชฌู กัดมัน**

**Design of an Amplitude-to-Digital Converter Using
Successive Approximation Technique**

Anucha Kaewpoonsuk* and Ratchanoo Katman

กลุ่มวิจัยฟิสิกส์อิเล็กทรอนิกส์ ภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร จังหวัดพิษณุโลก 65000

Physics-Electronics Research Group, Department of Physics, Faculty of Science, Naresuan University, Phitsanulok 65000, Thailand

*Corresponding Author. E-mail address: anuchak@nu.ac.th (A. Kaewpoonsuk)

Received 23 December 2010; accepted 15 March 2011

บทคัดย่อ

บทความนี้นำเสนอการออกแบบวงจรหาค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ที่ให้เอาต์พุตเป็นสัญญาณดิจิทัล โครงสร้างของวงจรประกอบด้วยวงจรตรวจจับค่ายอดสัญญาณ วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล และวงจรสร้างสัญญาณควบคุม สำหรับการพัฒนางจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลนั้นอาศัยหลักการประมาณค่าสี่บิต โดยเอาต์พุตของวงจรหาค่าแอมพลิจูดจะอยู่ในรูปสัญญาณดิจิทัลขนาด 12 บิต ซึ่งแปรผันตรงกับค่าแอมพลิจูดของสัญญาณอินพุตแบบแอนะล็อก ทั้งนี้วงจรสามารถทำงานได้โดยไม่ต้องใช้วงจรสุ่มและคงค่าสัญญาณต่อรวม ค่าเวลาที่ใช้สำหรับการทำงานของวงจรในแต่ละรอบมีค่าเท่ากับ 2 คาบของสัญญาณอินพุต การทดสอบแนวคิดในการออกแบบวงจรได้ใช้วิธีต่อวงจรลงบนบอร์ดทดลองโดยใช้ไอซีต่างๆ ที่หาซื้อได้ในท้องตลาด ค่าแรงดันเต็มสเกลด้านอินพุตของวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลกำหนดให้มีค่าเท่ากับ 5 โวลต์ ซึ่งวัดค่าความผิดพลาดในการทำงานสูงสุดได้เท่ากับ ± 13 มิลลิโวลต์ จากผลการทดสอบการทำงานของวงจรหาค่าแอมพลิจูดทั้งระบบพบว่าวงจรสามารถทำงานได้สอดคล้องกับหลักการที่ได้นำเสนอตลอดช่วงความถี่ 4 เฮิรตซ์ ถึง 125 กิโลเฮิรตซ์ โดยมีช่วงปฏิบัติการทางขนาดด้านอินพุตเท่ากับ 500 มิลลิโวลต์ ถึง 5 โวลต์

คำสำคัญ: วงจรหาค่าแอมพลิจูด วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล เทคนิคการประมาณค่าสี่บิต

Abstract

The design of digital output amplitude detector for sinusoidal signal is presented in this paper. The proposed circuit consists of a peak detector, an analog-to-digital converter (ADC), and a control signal generator. The ADC implementation uses successive approximation technique. The proposed detector can produce the 12-bit digital output signal proportional to the peak amplitude of analog input signal without sample-and-hold circuit. The detection time is two cycle periods of input signal. The proposed detector has been verified using experimental results with the commercially available electronics components. The full-scale input voltage of ADC was set to 5V. The experimental results show that the proposed ADC can work with maximum error of ± 13 mV. Input frequencies in variation from 4 Hz to 125 kHz for amplitude detector were tested. Experimental results for input voltage in range 500 mV to 5 V are in good agreement with the expected values.

Keywords: amplitude detector, analog-to-digital converter, successive approximation technique

บทนำ

วงจรรหาค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ (sinusoidal signals amplitude detector) เป็นวงจรที่มีประโยชน์และสำคัญมากวงจรหนึ่งในระบบอิเล็กทรอนิกส์ ตัวอย่างการประยุกต์ใช้งาน เช่น ใช้เป็นส่วนประกอบของวงจรกำเนิดสัญญาณรูปไซน์ที่มีการควบคุมค่าแอมพลิจูดแบบอัตโนมัติ (Kinget, 2006) ใช้เป็นส่วนประกอบของวงจรควบคุมอัตราขยายอัตโนมัติ (Khoury, 1998) ใช้เป็นส่วนประกอบของตัวควบคุมวงจรกรองความถี่แบบปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ (Ajikuttira et al., 1991; Liu & Karsilayan, 2003) ใช้เป็นส่วนประกอบของวงจร

หาค่าความถี่ของสัญญาณไซน์ (Sarafis & Karybakas, 1989) และใช้เป็นส่วนประกอบของระบบแสดงผลภาพบนจอคอมพิวเตอร์สำหรับการทดสอบค่าอิมพีแดนซ์ของวัสดุ (Povalac & Hribik, 2006; Rerkratn et al., 2005; Rerkratn et al., 2006; Rerkratn et al., 2007) เป็นต้นหน้าที่ของวงจรรหาค่าแอมพลิจูดคือทำให้สัญญาณเอาต์พุตที่เป็นสัดส่วนโดยตรงกับค่าแอมพลิจูดของอินพุตซึ่งเป็นสัญญาณรูปไซน์ จากประโยชน์และความสำคัญของวงจรรหาค่าแอมพลิจูดทำให้ที่ผ่านมาได้มีการศึกษาวิจัยเพื่อพัฒนาออกแบบวงจรรหาค่าแอมพลิจูดอย่างต่อเนื่อง โดยมีตัวอย่างหลักการออกแบบวงจรที่สำคัญๆ เช่น การออกแบบโดยใช้วงจรเรียงกระแสต่อร่วมกับวงจรกรองความถี่ต่ำผ่าน

(Boudouris & Peters, 1980; Kriegsmann, 1985) การออกแบบโดยใช้วงจรยกกำลังสองและวงจรหารสัญญาณต่อรวมกับวงจรกรองความถี่ต่ำผ่าน (Gilbert, 2006; Surakampontrorn, & Kumwachara, 1999) สำหรับวิธีที่สองนี้เป็นการหารากที่สองกำลังสองเฉลี่ย (Root Mean Square; RMS) ของสัญญาณ ซึ่งเป็นค่าที่แปรผันตรงกับแอมพลิจูดของสัญญาณอินพุต อย่างไรก็ตามทั้งสองวิธีดังกล่าวนี้จะให้เอาต์พุตที่มีลักษณะกระเพื่อมเล็กน้อยอยู่ตลอดเวลา นอกจากนี้ยังต้องใช้เวลาเริ่มต้นในการทำงานหลายคาบของสัญญาณอินพุตอันเนื่องมาจากการทำงานของวงจรกรองความถี่ต่ำผ่าน วิธีการต่อมาได้แก่การใช้วงจรเลื่อนเฟสที่ 90 องศา ต่อรวมกับวงจรยกกำลังสองและวงจรถอดรากที่สอง (Chu et al., 1992; Sangpisit et al., 1998) ซึ่งวิธีดังกล่าวนี้ทำงานเร็วกว่าสองวิธีการแรก แต่อย่างไรก็ตามการใช้วงจรเลื่อนเฟส 90 องศาในช่วงปฏิบัติการทางความถี่ของวงจรค่อนข้างแคบ วิธีการอื่นๆ ได้แก่ การพัฒนาออกแบบด้วยเทคโนโลยีทรานซิสเตอร์แบบซีเอ็มอสในรูปแบบต่างๆ (Alegre et al., 2008; Alegre et al., 2009; Zhak et al., 2003) ในปี พ.ศ. 2549 คณะผู้วิจัยได้พัฒนาออกแบบวงจรหาค่าแอมพลิจูดโดยใช้วงจรตรวจจับค่ายอดสัญญาณต่อรวมกับวงจรสุ่มและคงค่าสัญญาณและวงจรสร้างสัญญาณควบคุม (Raksachat et al., 2006) โดยวิธีดังกล่าวอาศัยวงจรสุ่มและคงค่าสัญญาณสำหรับการรักษาระดับแรงดันเอาต์พุตของวงจรใหม่มีค่าคงที่ (ไม่เกิดการกระเพื่อม) ในขณะที่ขนาดแอมพลิจูดของสัญญาณอินพุตมีค่าคงที่ ซึ่งเหมาะสำหรับการนำไปประยุกต์ใช้งานร่วมกับทรานสดิวเซอร์ที่ให้เอาต์พุตออกมาในรูปของสัญญาณรูปไซน์ที่มีค่าแอมพลิจูดแปรผันกับปริมาณที่ต้องการตรวจวัด เช่น รีโซลเวอร์ (Resolver) แอลวีดีที (Linear Variable Differential Transformer, LVDT) และเครื่องตรวจจับโลหะแบบหลักการความถี่ต่ำมาก (Very Low Frequency; VLF) เป็นต้น ต่อมาคณะผู้วิจัยได้พัฒนาออกแบบวงจรหาค่าแอมพลิจูดที่ให้เอาต์พุตเป็นสัญญาณดิจิทัลขนาด 8 บิต เพื่อนำไปประยุกต์ใช้งานกับตัวประมวลผลหรือภาคแสดงผลที่เป็นแบบดิจิทัล (Wangwivatthana et al., 2008) เทคนิคการแปลงค่าแอมพลิจูดไปเป็นสัญญาณดิจิทัลภายในงานดังกล่าวเป็นการอาศัยหลักการนับ (counter method) ซึ่งมีจุดเด่นอยู่ที่ความเรียบง่ายของวงจร แต่จะมีจุดด้อยอยู่ที่ความล่าช้าในการทำงานโดยเฉพาะอย่างยิ่งหากต้องการเพิ่มความละเอียด (เพิ่มจำนวนบิต) ให้มีค่าสูงขึ้นในโครงการนี้เป็นการพัฒนาปรับปรุงการออกแบบวงจรหาค่าแอมพลิจูดที่ให้เอาต์พุตที่เป็นสัญญาณดิจิทัลแบบใหม่ โดยได้กำหนดให้เอาต์พุตของวงจรมีขนาด 12 บิต อาศัยหลักการแบบการประมาณค่าสลิปเนื่องซึ่งเป็นวิธีการแปลงสัญญาณที่รวดเร็วกว่าแบบหลักการนับ ทั้งนี้เพื่อให้เหมาะสมสำหรับการพัฒนาต่อในรูปแบบของวงจรรวมภายในไอซีเดียวกันต่อไปในอนาคต สำหรับรายละเอียดการพัฒนาออกแบบวงจรและการทดสอบการทำงานนั้นจะได้อธิบายในหัวข้อถัดไป

วัสดุอุปกรณ์และวิธีการ

บล็อกไดอะแกรมของวงจรหาค่าแอมพลิจูดที่ได้พัฒนาออกแบบขึ้นแสดงได้ดังรูปที่ 1(ก) ซึ่งจะเห็นได้ว่าโครงสร้างของวงจรประกอบด้วยวงจรตรวจจับค่ายอดสัญญาณ (Peak Detector; PD) ต่อรวมกับวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล (Analog to Digital Converter; ADC) และวงจรสร้างสัญญาณควบคุม (Control Signals Generator) รูปที่ 1(ข) แสดงแผนภาพเวลาของสัญญาณต่างๆ ที่สำคัญเปรียบเทียบกับสัญญาณแรงดันอินพุตของวงจรหนึ่งรอบของกระบวนการตรวจวัดและแปลงค่าแอมพลิจูดไปเป็นสัญญาณดิจิทัลจะใช้เวลาเท่ากับ 2 คาบของสัญญาณอินพุต การทำงานในแต่ละรอบแบ่งออกได้เป็น 4 ลำดับการทำงานดังนี้คือ

ลำดับที่ 1: Q_{peak} เปลี่ยนสถานะจากลอจิก 1 เป็นลอจิก 0 เพื่ออนุญาตให้วงจรตรวจจับค่ายอดสัญญาณเริ่มทำงาน สมมติให้อินพุตของวงจรมีค่าเท่ากับ

$$V_{in} = A_1 \sin 2\pi f_{in} t = A_1 \sin 2\pi t / T_{in} \quad (1)$$

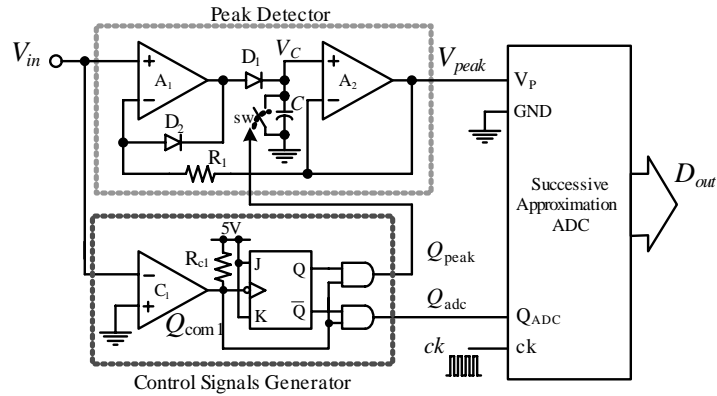
เมื่อ A_1 , f_{in} และ T_{in} คือค่าแอมพลิจูด ค่าความถี่และค่าคาบเวลาของสัญญาณอินพุต ตามลำดับ หลังจากช่วงเวลา $T_{in} / 4$ เป็นต้นไปค่าแรงดันเอาต์พุตของวงจรตรวจจับค่ายอดสัญญาณ (V_{peak}) จะมีค่าเท่ากับ

$$V_{peak} = A_1 \quad (2)$$

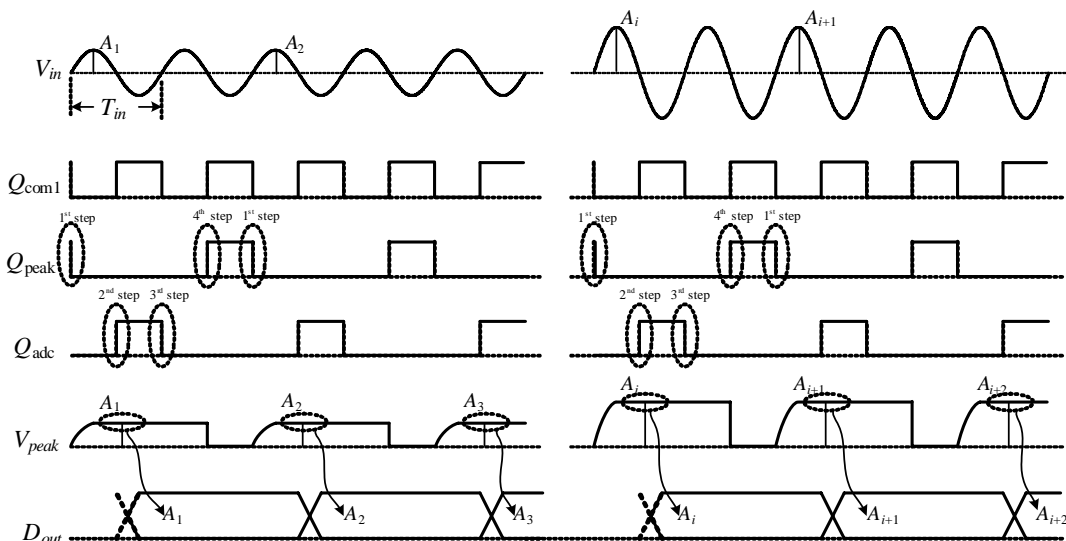
ลำดับที่ 2: Q_{adc} เปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก 1 เพื่ออนุญาตให้วงจร ADC เริ่มทำงาน ตัววงจร ADC จะทำการเปิดรับสัญญาณนาฬิกาภายนอก (ck) เพื่อนำมาสร้างเป็นสัญญาณควบคุมภายในวงจร ADC โดยตัววงจรจะทำการแปลงค่าแรงดัน V_{peak} ซึ่งมีลักษณะเป็นสัญญาณไฟตรงขนาดเท่ากับค่าแอมพลิจูดสัญญาณ V_{in} ให้เป็นสัญญาณดิจิทัลและส่งไปเป็นเอาต์พุตของวงจร (D_{out}) โดยค่าดังกล่าวนี้จะถูกเก็บรักษาไว้ด้วยรีจิสเตอร์ภายในวงจร ADC ทั้งนี้การทำงานของวงจร ADC นี้จะเสร็จก่อนที่ Q_{adc} จะเปลี่ยนสถานะกลับเป็นลอจิก 0 เมื่อทำงานเสร็จตัว ADC จะทำการตัดสัญญาณนาฬิกาภายนอกออกอย่างอัตโนมัติ

ลำดับที่ 3: Q_{adc} เปลี่ยนสถานะจากลอจิก 1 เป็นลอจิก 0 ซึ่งเป็นการปิดสัญญาณควบคุมหลักของ ADC ทั้งนี้เป็นการเตรียมความพร้อมและหลีกเลี่ยงความผิดพลาดของการแปลงสัญญาณก่อนที่จะมีการรีเซ็ตค่าเอาต์พุตของวงจรตรวจจับค่ายอดสัญญาณ

ลำดับที่ 4: Q_{peak} เปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก 1 เพื่อรีเซ็ตค่าแอมพลิจูดเดิมของวงจรตรวจจับค่ายอดสัญญาณ ทั้งนี้เป็นการเตรียมความพร้อมสำหรับการตรวจวัดค่าแอมพลิจูด (ค่ายอดสัญญาณ) ของสัญญาณอินพุตที่จะเข้ามาใหม่



(ก) บล็อกไดอะแกรมของวงจร



(ข) แผนภาพเวลา

รูปที่ 1 บล็อกไดอะแกรมของวงจรและแผนภาพเวลา

สำหรับการทำงานของวงจรย่อยในแต่ละส่วนสามารถแยกอธิบายได้ดังนี้ คือ วงจรสร้างสัญญาณควบคุม: เป็นการนำสัญญาณอินพุต V_{in} ไปผ่านวงจรตรวจจับผ่านศูนย์ (Zero-crossing detector) แบบกลับเฟสของสัญญาณเพื่อเปลี่ยนระดับของสัญญาณให้เป็นแบบดิจิทัล (Q_{com1}) จากนั้นอาศัยเจเคฟลิปฟลอป (JK Flip Flop) สำหรับการหาค่าความถี่ของสัญญาณดังกล่าวซึ่งจะได้อาตพุตของเจเคฟลิปฟลอปเป็น Q_{jk} การสร้างสัญญาณควบคุม Q_{peak} และ Q_{adc} สามารถทำได้โดย

$$Q_{peak} = Q_{com1} \text{ and } Q_{jk} \quad (3)$$

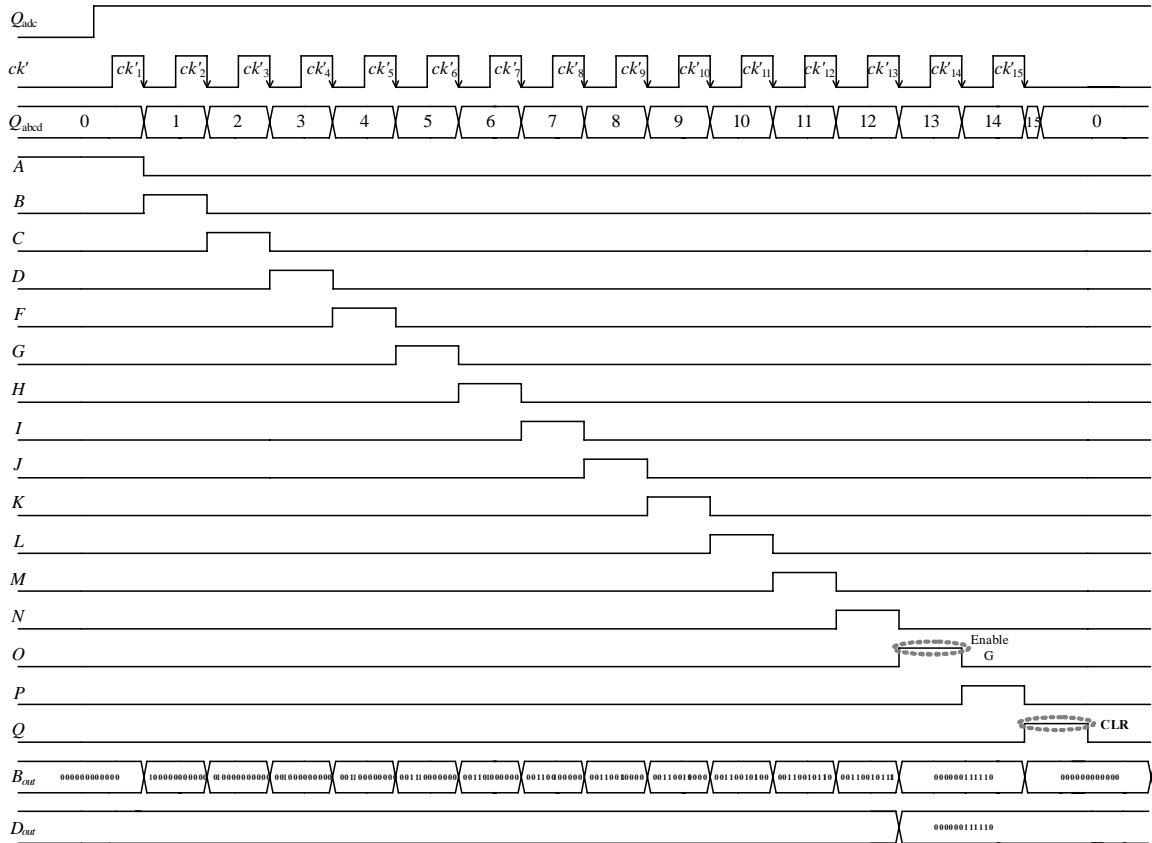
$$Q_{adc} = Q_{com1} \text{ and } \overline{Q_{jk}} \quad (4)$$

ข้อดีของวิธีการดังกล่าวนี้คือความกว้างของสัญญาณควบคุมทั้งสองจะสามารถปรับตัวเองให้ใช้งานได้กับสัญญาณอินพุตแต่ละความถี่ได้อย่างอัตโนมัติ (เท่ากับ $T_{in}/2$) โดยไม่จำเป็นต้องใช้วงจรเลื่อนเฟส 90 องศาต่อรวม

การพัฒนาวงจรตรวจจับค่ายอดสัญญาณ: เป็นการพัฒนาขึ้นโดยใช้ออปแอมป์ 2 ตัว (A_1 และ A_2) ต่อรวมกับไดโอด (D_1 และ D_2) ตัวต้านทาน (R_1) ตัวเก็บประจุ (C)

และสวิตซ์อิเล็กทรอนิกส์ (sw) ซึ่งสามารถอธิบายการทำงานได้ดังนี้คือสมมุติให้เริ่มต้นสวิตซ์อิเล็กทรอนิกส์อยู่ในสภาวะเปิดวงจร เมื่อสัญญาณอินพุต V_{in} ที่เข้ามาใหม่มีค่ามากกว่าแรงดันเอาต์พุต V_{peak} เดิม แรงดันเอาต์พุตของออปแอมป์ A_1 จะมีค่าสูงขึ้น ไดโอด D_1 จะได้รับการไบอัสตรง (ไดโอด D_2 ได้รับการไบอัสกลับ) โดยจะเกิดกระแสไหลผ่านไดโอด D_1 เพื่อชาร์จประจุให้กับตัวเก็บประจุแรงดันตกคร่อมตัวเก็บประจุ (V_C) จะมีค่าสูงขึ้น ซึ่งจะถูกส่งออกไปเป็นเอาต์พุต (V_{peak}) รวมทั้งถูกส่งกลับไปเปรียบเทียบกับแรงดันอินพุต ค่าแรงดัน $V_{peak} = V_C$ จะมีค่าเพิ่มขึ้นจนกระทั่งมีค่าเท่ากับแรงดันอินพุต V_{in} และถ้าในเวลาต่อมาแรงดัน V_{in} มีค่าต่ำกว่าค่าเดิม หรือ $V_{in} < V_{peak}$ แรงดันเอาต์พุตของออปแอมป์ A_1 จะมีค่าลดลง ไดโอด D_1 จะได้รับการไบอัสกลับ (ไดโอด D_2 ได้รับการไบอัสตรง) ซึ่งจะไม่มีการแสไหลเข้าหรือไหลออกจากตัวเก็บประจุ ค่าแรงดันตกคร่อมตัวเก็บประจุ V_C รวมทั้งแรงดันเอาต์พุต V_{peak} จึงมีค่าคงที่เท่าเดิมกับสภาวะก่อนหน้า

ในกรณีที่อินพุตของวงจรตรวจจับค่ายอด เป็นสัญญาณแรงดันรูปไซน์ที่มีค่าแอมพลิจูดคงที่จะได้อาตพุตของวงจรมีลักษณะเป็นสัญญาณไฟตรงที่มีขนาดเท่ากับค่าแอมพลิจูด



(ข) แผนภาพเวลา

รูปที่ 2 (ต่อ) วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล

การวิเคราะห์พารามิเตอร์ที่สำคัญของวงจร : ประการแรกที่ได้นำมาพิจารณาคือค่าความจุไฟฟ้าของตัวเก็บประจุ (C) ที่ใช้ภายในวงจรตรวจจับค่ายอดสัญญาณ ซึ่งจะต้องมีค่าไม่มากเกินไปเพราะจะทำให้วงจรไม่สามารถทำงานกับสัญญาณอินพุตที่มีความถี่สูงได้ทันและจะต้องมีค่าไม่มากเกินไปจนเกิดสภาวะแรงดันตก (Droop) ขณะทำงานในโหมดคงค่าข้อมูล (Franco, 2002; Peyton & Walsh, 1993) จากทั้งสองเงื่อนไขสามารถสรุปได้ดังนี้คือ

$$(I_L / \text{Droop}) < C < (T_{in} I_{o1(max)}) / 4A_{in}$$

เมื่อ $\text{Droop} = (2) \Delta V / T_{in}$ คือค่าขนาดของแรงดันที่ลดลงที่ยอมรับได้ (V) ในช่วงเวลา $T_{in} / 2$ สำหรับ A_{in} และ T_{in} คือค่าแอมพลิจูดและค่าคาบเวลาของสัญญาณอินพุต ตามลำดับ I_L คือค่ากระแสรวมของอุปกรณ์ที่อยู่กับตัวเก็บประจุ และ $I_{o1(max)}$ คือค่ากระแสเอาต์พุตสูงสุดของออปแอมป์ A_1 โดยในที่นี้พิจารณาว่าค่าอัตราสลูว์ (slew rate) ของออปแอมป์ (A_1) ที่เลือกใช้มีค่ามากกว่า

$I_{o1(max)} / C$ ประการที่สองซึ่งได้นำมาพิจารณาคือค่าความถี่ (f_{ck}) ของสัญญาณนาฬิกา (ck) ที่ใช้ภายในวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล ทั้งนี้วิธีพิจารณาคือ 1 รอบการทำงานจะใช้สัญญาณนาฬิกาทั้งหมด 15 ลูก และหากต้องการออกแบบให้การแปลงสัญญาณของวงจรเสร็จสิ้นภายใน 1 รอบการทำงานจะต้องใช้เวลาน้อยกว่า $T_{in} / 2$ ดัง

นั้นจะต้องกำหนดให้

$$f_{ck} > 30f_{in}$$

ในกรณีที่ใช้ f_{ck} มีค่าน้อยกว่าค่าดังกล่าวนี้การแปลงสัญญาณจะใช้เวลามากกว่า 1 รอบการทำงานปกติ (2 คาบของสัญญาณอินพุต) ซึ่งถือว่าเป็นกรณีพิเศษโดยวงจรจะยังคงสามารถทำงานได้ เนื่องจากคาเอาต์พุตของวงจรมันยังคงมีค่าเท่าเดิม (ยังไม่ได้ถูกตั้งใหม่ (reset)) การแปลงสัญญาณในครั้งต่อไปจะเริ่มในตำแหน่งหรือบิตที่ถัดจากเดิมจนกระทั่งครบ 12 บิต และวงจรมันได้รับการตั้งสัญญาณใหม่ กรณีดังกล่าวนี้สามารถนำไปประยุกต์ใช้งานกับสัญญาณอินพุตที่มีความถี่สูงแต่มีค่าแอมพลิจูดต่ำได้ โดยมีอัตราในการเปลี่ยนแปลงค่าแอมพลิจูดต่ำได้ โดยภายใน 1 รอบการทำงาน (ทั้งการตรวจจับค่าแอมพลิจูดและการแปลงสัญญาณ) จะใช้เวลา (t) ทั้งหมดเท่ากับ

$$t = (2T_{in}) 30f_{in} / f_{ck} = n(2T_{in}) \quad (5)$$

เมื่อ $n = 30f_{in} / f_{ck}$ จากสมการที่ (5) ยกตัวอย่างการคำนวณเช่นสมมติให้ $f_{in} = 100$ กิโลเฮิรตซ์ $f_{ck} = 1$ เมกะเฮิรตซ์ จะได้ $n = 3$ นั่นคือจะต้องใช้เวลาทั้งหมดเท่ากับ $6T_{in}$ (เท่ากับ 3 เท่าของเวลาที่ใช้สำหรับการทำงานปกติ)

สิ่งที่พิจารณาประการต่อมาคือค่าความผิดพลาดของวงจร เมื่อแอมพลิจูดของสัญญาณอินพุตเกิดการเปลี่ยน

แปลงอย่างเป็นเชิงเส้น โดยสมมุติให้สัญญาณอินพุต (V_{in}) ของวงจรเกิดจากการมอดูเลตทางขนาดกันระหว่างสัญญาณพาห์ (Carrier) (เป็นสัญญาณความถี่สูงที่ใช้กระตุ้นการทำงานของเซนเซอร์) กับสัญญาณที่เป็นข้อมูล A_{in} (ปริมาณ

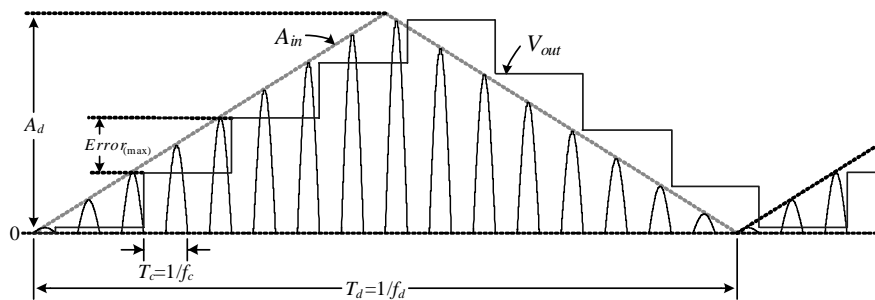
ที่ต้องการตรวจวัดจากเซนเซอร์) ซึ่งเปลี่ยนแปลงขนาดเป็นรูปสามเหลี่ยมดังแสดงในรูปที่ 3 เพื่อให้ง่ายต่อการวิเคราะห์จะพิจารณาเฉพาะช่วงเวลาภายใน 1 รอบของการเปลี่ยนแปลงค่าแอมพลิจูดดังนี้คือ

$$V_{in} = A_{in} \sin 2\pi f_c t = 2A_d f_d t \begin{cases} (+1) \sin 2\pi f_c t & \text{for } 0 < t \leq T_d/2 \\ (-1) \sin 2\pi f_c t & \text{for } T_d/2 < t \leq T_d \end{cases} \quad (6)$$

เมื่อ $A_d f_d$ และ T_d คือค่ายอด ค่าความถี่ และค่าคาบเวลาของสัญญาณ A_{in} ตามลำดับ และ f_c คือค่าความถี่ของสัญญาณพาห์ ($\sin 2\pi f_c t$) กำหนดให้ $f_c > f_d$ เนื่องจากแต่ละรอบของการตรวจวัดจะใช้เวลาเท่ากับ $2/f_c$ ดังนั้นจะสามารถคำนวณหาขนาดความผิดพลาดสูงสุด ($Error_{(max)}$) ในแต่ละรอบการทำงานได้เท่ากับ

$$|Error_{(max)}| = 4A_d f_d / f_c \quad (7)$$

จากสมการที่ (7) สมมุติให้ $A_d = 5$ โวลต์ $f_d = 100$ เฮิร์ตซ์ และ $f_c = 100$ กิโลเฮิร์ตซ์ จะได้ค่า $Error_{(max)} = 20$ มิลลิโวลต์ แต่ถ้า f_d มีค่าเปลี่ยนเป็น 1 กิโลเฮิร์ตซ์ จะได้ค่า $Error_{(max)} = 200$ มิลลิโวลต์



รูปที่ 3 การวิเคราะห์ค่า $Error_{(max)}$

ประการสุดท้ายคือค่าความกว้างขั้น (Step Width) หรือขั้นการควอนไทซ์ (Quantization Step; QS) ของวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล ซึ่งมีขนาด 12 บิต ดังนั้นจะได้

$$QS = FS / 2^{12} \quad (8)$$

เมื่อ FS คือค่าเต็มสเกล (Full Scale) ของสัญญาณแอนะล็อกอินพุต จากสมการที่ (8) ได้กำหนดให้ FS = 5 โวลต์ ซึ่งจะได้ค่า QS ของวงจรเท่ากับ 1.22 มิลลิโวลต์ สำหรับการทดสอบหลักการการทำงานเบื้องต้นของวงจรที่ได้พัฒนาออกแบบขึ้นภายในงานนี้ได้ใช้วิธีต่อวงจรลงบนบอร์ดทดลองโดยใช้ไอซีสำเร็จรูปและอุปกรณ์สำคัญต่างๆ ดังนี้คือ ใช้โอปอแอมป์เบอร์ LM319 ทำหน้าที่เป็นวงจรตรวจจับผ่านศูนย์ (C_1) และวงจรเปรียบเทียบแรงดัน (C_2) ใช้ไอซีเจเนอรัลพอลิโพลเบอร์ HD74LS76AP ไอซีดีพลีโพลเบอร์ DM74LS74AN ไอซีแอนด์เกตเบอร์ SN74LS08N ไอซีน็อตเกตเบอร์ SN74LS04 ไอซีวงจรนับเบอร์ HD74LS93P ไอซีวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อกเบอร์ DAC7541A วงจรตีมัลติเพล็กซ์ไอซีเบอร์ DM74LS154N ต่อกับน็อตเกตรีจิสเตอร์ไอซีวงจรแลตซ์เบอร์ DM74LS373N สำหรับไอซีออปแอมป์ A_1 และ A_2 คือเบอร์ LF351 ไดโอดเบอร์ 1N4148 และสวิทช์อิเล็กทรอนิกส์เบอร์ MC14066BCP กำหนดค่าแรงดันเต็มสเกลสำหรับ DAC#1 และ DAC#2 เท่ากับ 5 โวลต์ แหล่งจ่ายไฟเลี้ยง

วงจรในส่วนที่เป็นแอนะล็อกเท่ากับ ± 12 โวลต์ แหล่งจ่ายไฟเลี้ยงวงจรในส่วนที่เป็นดิจิทัลเท่ากับ 5 โวลต์

ลำดับแรกผู้วิจัยได้ทำการทดลองแปรค่าขนาดของตัวเก็บประจุที่ใช้ในส่วนของวงจรตรวจจับค่ายอดสัญญาณเพื่อการใช้งานกับสัญญาณอินพุตที่มีความถี่ต่างๆ โดยได้กำหนดเงื่อนไขให้สัญญาณอินพุตมีค่าแอมพลิจูดเท่ากับ 5 โวลต์ และภายในช่วงเวลา 1 คาบของสัญญาณอินพุตวงจรตรวจจับค่ายอดสัญญาณจะต้องสามารถตรวจจับและคงค่าแอมพลิจูดดังกล่าวได้โดยมีค่าผิดพลาดสูงสุดได้ไม่เกิน ± 0.1 โวลต์ ซึ่งจะได้ผลการทดลองดังแสดงในตารางที่ 1

ลำดับที่ 2 ผู้วิจัยได้ทำการทดสอบสมบัติการทำงานเฉพาะวงจร ADC โดยได้กำหนดให้สัญญาณ $V_{in(adc)}$ เป็นสัญญาณอินพุตของวงจร โดยที่ $V_{in(adc)}$ เป็นสัญญาณรูปสามเหลี่ยมความถี่ต่ำ (เท่ากับ 0.1 เฮิร์ตซ์) ขนาดเท่ากับ 5 โวลต์ ใช้สัญญาณนาฬิกาเท่ากับ 100 กิโลเฮิร์ตซ์ ทั้งนี้อาศัยวงจร DAC#2 (ถือว่าสมบัตินตรงกับ DAC#1) สำหรับแปลงสัญญาณดิจิทัลเอาต์พุต D กลับเป็นสัญญาณแอนะล็อก V_{out} เพื่อเปรียบเทียบกับสัญญาณอินพุต $V_{in(adc)}$ ซึ่งจะได้ผลการทดลองดังแสดงในรูปที่ 4

ลำดับที่ 3 ผู้วิจัยได้ทำการทดสอบสมบัติการทำงานของวงจรหาค่าแอมพลิจูดทั้งระบบ โดยได้ทดลองกับสัญญาณอินพุตรูปไซน์ที่มีค่าแอมพลิจูดคงที่เท่ากับ 2.49 โวลต์ มีความถี่เท่ากับ 1 กิโลเฮิร์ตซ์ กำหนดค่าความถี่ของสัญญาณนาฬิกา (ck) เท่ากับ 100 กิโลเฮิร์ตซ์ ทั้งนี้เป็นการทดสอบว่าวงจรมีจังหวะหรือลำดับการทำงานสอดคล้องกับ

หลักการที่ได้ออกแบบไว้เพียงใด รวมทั้งเป็นการทดสอบว่าวงจรสามารถทำงานได้ทันภายใน 1 รอบการทำงานหรือไม่ ซึ่งได้ผลทดลองดังแสดงในรูปที่ 5 และรูปที่ 6

ลำดับที่ 4 ผู้วิจัยได้ทำการทดลองป้อนสัญญาณแรงดันอินพุตที่เกิดจากการมอดูเลตกันทางขนาดระหว่างสัญญาณรูปไซน์ความถี่สูง ($V_{carrier}$) ความถี่ 50 กิโลเฮิร์ตซ์ กับสัญญาณความถี่ต่ำ (V_{data}) รูปร่างต่างๆ (กำหนดค่าความถี่ของสัญญาณนาฬิกาเท่ากับ 1.5 เมกะเฮิร์ตซ์) ซึ่งได้ผลทดลองดังแสดงในรูปที่ 7

ลำดับที่ 5 ผู้วิจัยได้ทดลองป้อนสัญญาณแรงดันอินพุตที่เกิดจากการมอดูเลตกันทางขนาดเช่นเดียวกับลำดับที่ 4 แต่สัญญาณความถี่ต่ำที่ใช้ได้กำหนดให้มีรูปร่างเฉพาะรูปไซน์ความถี่ 10 เฮิร์ตซ์ ซึ่งได้ผลทดลองดังแสดงในรูปที่ 8 นอกจากนี้ได้ทดลองแปรค่าความถี่ของสัญญาณความถี่ต่ำรูปไซน์จาก 1 เฮิร์ตซ์ ถึง 1 กิโลเฮิร์ตซ์ และทำการวัดค่าผลรวมความผิดเพี้ยนฮาร์โมนิก (Total Harmonic Distortion; THD) ของสัญญาณ V_{out} โดยจะได้ผลการวัดดังแสดงในรูปที่ 9

สำหรับขั้นตอนในลำดับที่ 4 และลำดับที่ 5 นี้เป็นการทดสอบว่าวงจรหาค่าแอมพลิจูดที่ได้พัฒนาขึ้นสามารถนำไปประยุกต์ใช้งานกับทรานส์ดีเวอร์ที่ให้เอาต์พุตออกมาในรูปสัญญาณรูปไซน์ซึ่งมีการเปลี่ยนแปลงค่าแอมพลิจูดไปได้หรือไม่

ลำดับสุดท้ายผู้วิจัยได้ทดสอบว่า วงจรหาค่าแอมพลิจูดที่ได้พัฒนาขึ้นสามารถใช้งานกับสัญญาณอินพุตที่มีค่าแอมพลิจูดคงที่โดยมีค่าความถี่สูงที่สุดเท่ากับเท่าใด ทั้งนี้ได้ใช้สัญญาณนาฬิกาความถี่เท่ากับ 1.5 เมกะเฮิร์ตซ์

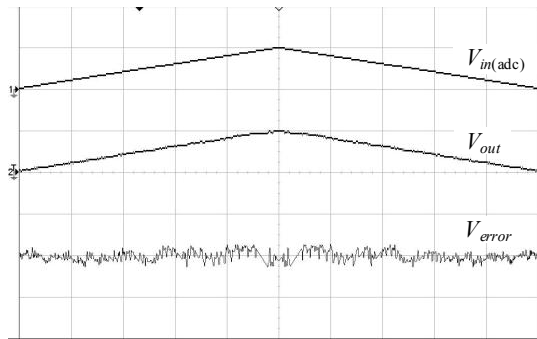
ผลการศึกษาและอภิปรายผล

ตารางที่ 1 แสดงผลการทดลองหาค่าขนาดของตัวเก็บประจุที่เหมาะสมสำหรับวงจรตรวจจับค่ายอดสัญญาณเพื่อใช้งานกับสัญญาณอินพุตในช่วงความถี่ต่างๆ ซึ่งจากตารางจะเห็นได้ว่าเมื่อสัญญาณอินพุตมีค่าความถี่ต่ำจะต้องใช้ตัวเก็บประจุที่มีค่าสูงและเมื่อสัญญาณอินพุตมีค่าความถี่สูงขึ้นต้องใช้ตัวเก็บประจุที่มีค่าต่ำลง

ตารางที่ 1 ค่าความจุไฟฟ้าที่เหมาะสมสำหรับสัญญาณอินพุตแอมพลิจูด 5 โวลต์ในแต่ละช่วงความถี่ใช้งาน

ค่าตัวเก็บประจุ (nF)	ช่วงความถี่ใช้งาน (kHz)	
	$f_{in(min)}$	$f_{in(max)}$
0.33	120	200
1	10	120
10	0.4	10
100	0.04	4
1,000	0.004	0.4

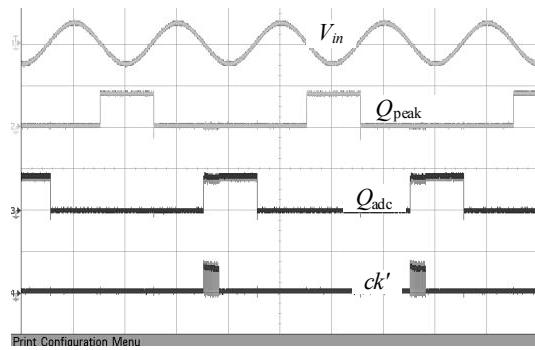
พิจารณารูปที่ 4 ซึ่งแสดงผลการทดสอบสมบัติการทำงานของวงจร ADC เมื่อ $V_{in(adc)}$ เป็นสัญญาณอินพุตของวงจร V_{out} เป็นสัญญาณแรงดันเอาต์พุตที่ได้จากวงจร DAC#2 และ $V_{error} = V_{out} - V_{in(adc)}$ ถือว่าเป็นค่าผิดพลาดในการทำงานของวงจร ซึ่งมีค่าสูงสุดประมาณเท่ากับ ± 13 มิลลิโวลต์ โดยค่าผิดพลาดดังกล่าวนี้มีค่าสูงกว่าค่าขึ้นการควอนไทซ์ตามสมการที่ (8) ประมาณ 11 เท่า ทั้งนี้ผู้วิจัยจะได้ปรับปรุงแก้ไขต่อไป



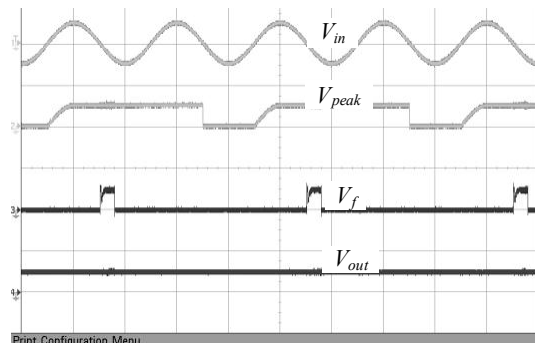
รูปที่ 4 ผลการทดสอบการทำงานของวงจร ADC (สเกลแนวตั้งสำหรับ $V_{in(adc)}$ และ V_{out} เท่ากับ 5 V/div., สเกลแนวตั้งสำหรับ V_{error} เท่ากับ 50 mV/div. สเกลแนวนอนเท่ากับ 1s/div.)

สำหรับรูปที่ 5 และรูปที่ 6 ซึ่งเป็นการทดสอบจังหวะการทำงานของวงจรหาค่าแอมพลิจูดทั้งระบบ เมื่อสัญญาณอินพุตของวงจรมีค่าแอมพลิจูดคงที่โดยในรูปที่ 5 แสดงสัญญาณแรงดันอินพุต (V_{in}) สัญญาณควบคุมวงจรตรวจจับค่ายอด (Q_{peak}) สัญญาณควบคุมวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล (Q_{adc}) และสัญญาณนาฬิกา (ck') ที่ส่งไปให้วงจรนับภายในวงจร ADC โดยจะเห็นว่าค่าความถี่ของสัญญาณ Q_{peak} และ Q_{adc} นั้นจะมีค่าเป็นครึ่งหนึ่งของค่าความถี่ของสัญญาณอินพุต โดยมีช่วงที่มีสภาวะลอจิก 1 ไม่พร้อมกัน (ทำงานสลับกันเว้นระยะเวลาเท่ากับ $T/2$) สัญญาณ ck' นั้นมีเฉพาะในช่วงเวลาที่ Q_{adc} มีสถานะเป็นลอจิก 1 และจะหมดไปเมื่อทำงานเสร็จ ซึ่งเป็นการยืนยันว่าวงจรสามารถทำงานได้ทันภายใน 1 รอบการทำงาน นอกจากนี้จะสังเกตได้ว่าความกว้างของช่วงเวลาที่สัญญาณ ck' จะใช้เวลาเท่ากับ 15 คาบของสัญญาณนาฬิกา ck หรือเท่ากับ $(30/100)$ ของช่วงเวลา ($T_{in}/2$) ซึ่งตรงกับหลักการที่ได้ออกแบบไว้ ในรูปที่ 6 แสดงสัญญาณอินพุต V_{in} สัญญาณ V_{out} สัญญาณ V_{error} และสัญญาณ V_{peak} โดยจะเห็นว่าสัญญาณ V_{peak} นั้นจะถูกรีเซ็ตให้มีค่าเป็น 0 ช่วงเวลาเท่ากับ $T_{in}/2$ ทุกๆ 2 คาบของสัญญาณอินพุต สัญญาณ V_{error} เป็นเอาต์พุตของ DAC#1 ที่ถูกป้อนกลับมาเปรียบเทียบกับสัญญาณ V_{peak} ซึ่งวงจร ADC จะทำการแปลงสัญญาณเฉพาะช่วงเวลาที่สัญญาณนาฬิกา ck' เท่านั้น สำหรับสัญญาณ V_{out} เกิดจากการนำ DAC#2 ไปต่อเพื่อรับข้อมูลจากรีจิสเตอร์สำหรับการแสดงผลการทำงานเปรียบเทียบกับสัญญาณอินพุต ซึ่งในกรณีที่แอมพลิจูดของสัญญาณอินพุตมีค่าคงที่สัญญาณ

V_{out} จะมีลักษณะเป็นสัญญาณไฟตรงที่มีค่าขนาดประมาณเท่ากับค่าแอมพลิจูดของสัญญาณอินพุต



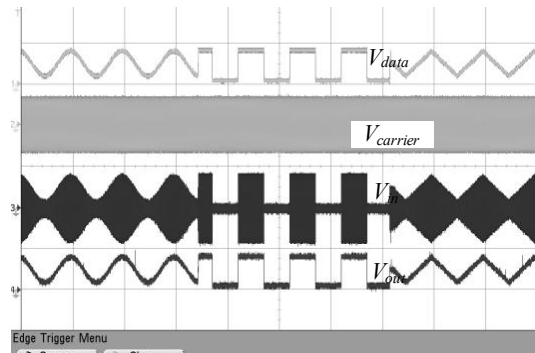
รูปที่ 5 สัญญาณ V_{in} สัญญาณ Q_{peak} สัญญาณ Q_{adc} และสัญญาณ ck' (สเกลแนวตั้งเท่ากับ 5 V/div. สเกลแนวนอนเท่ากับ 500 μ s/div.)



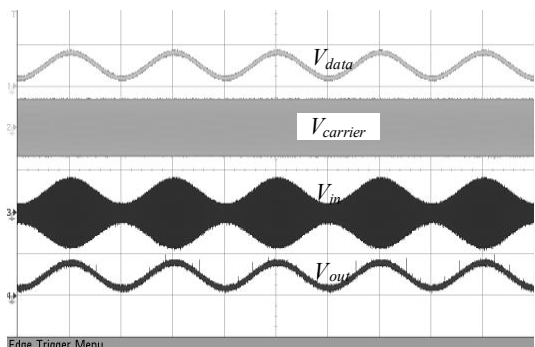
รูปที่ 6 สัญญาณ V_{in} สัญญาณ V_{peak} สัญญาณ V_f และสัญญาณ V_{out} (สเกลแนวตั้งเท่ากับ 5 V/div. สเกลแนวนอนเท่ากับ 500 μ s/div.)

รูปที่ 7 และรูปที่ 8 แสดงตัวอย่างการทำงานของวงจรในกรณีที่อินพุตของวงจรเกิดจากการมอดูเลตกันทางขนาดระหว่างสัญญาณรูปไซน์ความถี่สูง ($V_{carrier}$) ความถี่ 50 กิโลเฮิร์ตซ์ กับสัญญาณความถี่ต่ำ (V_{data}) ที่มีรูปร่างต่างๆ ดังรูป โดยจะเห็นได้ว่าสัญญาณ V_{out} ที่ได้จะมีรูปร่างเหมือนสัญญาณ V_{data} ซึ่งเป็นค่าแอมพลิจูดของสัญญาณ V_{in} และจากผลการวัดค่า THD ของสัญญาณ V_{out} จากการแปรค่าความถี่ของสัญญาณ V_{data} ที่เป็นรูปไซน์ดังแสดงผลการวัดในรูปที่ 9 จะเห็นได้ว่าเมื่อความถี่ของสัญญาณ V_{data} มีค่าสูงขึ้น ค่า THD ของสัญญาณ V_{out} ก็จะมีค่าสูงขึ้น ดังนั้นในกรณีที่สัญญาณอินพุตของวงจรมีการเปลี่ยนแปลงค่าแอมพลิจูดอย่างช้าๆ (ความถี่ของการเปลี่ยนแปลงแอมพลิจูดมีค่าต่ำ) วงจรที่ได้พัฒนาออกแบบขึ้นจะมีผลการทำงานที่ดีกว่าแบบที่มีการเปลี่ยนแปลงค่าแอมพลิจูดอย่างรวดเร็วและผลจากการตรวจสอบค่าความถี่ที่สูงที่สุดของสัญญาณอินพุตที่วงจรหาค่าแอมพลิจูดสามารถทำงานได้พบว่ามีค่าสูงสุดประมาณเท่ากับ 125 กิโลเฮิร์ตซ์ เมื่อใช้สัญญาณนาฬิกาเท่ากับ 1.5 เมกะเฮิร์ตซ์ ทั้งนี้มีค่าสูงกว่าแบบอาศัยหลักการนับแบบเดิมที่ผู้วิจัยได้เคยพัฒนาออกแบบไว้ (ขนาด 8 บิต) ซึ่งหลักการดังกล่าวนี้สามารถใช้งานกับสัญญาณอินพุตที่มีความถี่สูงสุดได้เพียงประมาณ 3

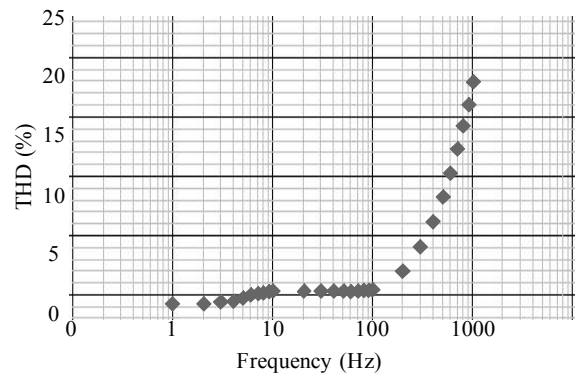
กิโลเฮิร์ตซ์ (Wangwiwatthana et al., 2008) เมื่อใช้สัญญาณนาฬิกาความถี่เท่ากันจากสมบัติการทำงานที่สำคัญต่างๆ ของวงจรสามารถนำมาสรุปได้ดังแสดงในตารางที่ 2



รูปที่ 7 ผลการทำงานเมื่อสัญญาณอินพุตเปลี่ยนแปลงค่าแอมพลิจูดเป็นสัญญาณรูปต่างๆ (สเกลแนวตั้งเท่ากับ 5 V/div. สเกลแนวนอนเท่ากับ 100 ms/div.)



รูปที่ 8 ผลการทำงานเมื่อสัญญาณอินพุตเปลี่ยนแปลงค่าแอมพลิจูดแบบเป็นสัญญาณรูปไซน์ (สเกลแนวตั้งเท่ากับ 5 V/div. สเกลแนวนอนเท่ากับ 50 ms/div.)



รูปที่ 9 ผลการวัดค่าผลรวมความผิดเพี้ยนฮาร์มอนิก

ตารางที่ 2 ผลการตรวจสอบสมบัติการทำงานของวงจร

สมบัติการทำงาน	ผลการตรวจสอบ
เวลาที่ใช้ในแต่ละรอบการทำงาน	$2T_m$
ช่วงปฏิบัติการทางขนาดด้านอินพุต	0.5 โวลต์ ถึง 5 โวลต์
ช่วงความถี่ใช้งาน	4 เฮิร์ตซ์ ถึง 125 กิโลเฮิร์ตซ์
ค่าผิดพลาดสูงสุด	± 13 มิลลิโวลต์

สรุปผลการศึกษา

ตัวแปลงค่าแอมพลิจูดของสัญญาณรูปไซน์ให้เป็นสัญญาณดิจิทัลขนาด 12 บิตที่ได้พัฒนาขึ้นภายในครั้งนี้เป็นการพัฒนางจรอิเล็กทรอนิกส์สำหรับอำนวยความสะดวกและลดขั้นตอนการประมวลผลสัญญาณที่ได้จากทรานส์ดีวเซอร์บางชนิดที่มีลักษณะเป็นการมอดูเลตแบบแอมพลิจูดระหว่างสัญญาณกระตุ้นทรานส์ดีวเซอร์กับปริมาณที่ต้องการตรวจวัดโดยวงจรที่ได้พัฒนาขึ้นจะทำการตรวจวัดค่าแอมพลิจูดและแปลงให้เป็นสัญญาณดิจิทัลโดยอัตโนมัติ ผลจากการทดสอบการทำงานเบื้องต้นด้วยวิธีการต่อวงจรบนบอร์ดทดลอง พบว่าวงจรสามารถทำงานได้สอดคล้องกับหลักการที่ได้นำเสนอโดยมีสมบัติที่สำคัญ ดังนี้คือ เวลาที่ใช้ในแต่ละรอบการทำงานมีค่าเท่ากับ $2T_{in}$ ซึ่งวงจรสามารถใช้งานกับสัญญาณรูปไซน์ความถี่สูงสุดประมาณเท่ากับ 125 กิโลเฮิร์ตซ์ ช่วงปฏิบัติการทางขนาดด้านอินพุตเท่ากับ 0.5 โวลต์ถึง 5 โวลต์ ค่าผิดพลาดสูงสุดของวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลที่วัดได้มีค่าโดยประมาณเท่ากับ ± 13 มิลลิโวลต์ โดยค่าผิดพลาดดังกล่าวนี้ยังเป็นค่าที่สูงกว่าค่าขึ้นการควอนไทซ์ที่ควรจะเป็นประมาณ 11 เท่า ซึ่งจะต้องปรับปรุงต่อไป

กิตติกรรมประกาศ

โครงการวิจัยนี้ได้รับการสนับสนุนงบประมาณจากมหาวิทยาลัยนเรศวร (ทุนอุดหนุนการวิจัยจากงบประมาณแผ่นดิน ประจำปีงบประมาณ 2553) ซึ่งคณะผู้วิจัยขอขอบคุณมา ณ โอกาสนี้ และขอขอบคุณภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร ซึ่งเป็นต้นสังกัดของผู้วิจัยที่ได้ให้การส่งเสริมสนับสนุนการทำวิจัยของบุคลากรอย่างจริงจัง

เอกสารอ้างอิง

Ajjikuttira, A., Stromsmoe, K. A., & Filanovsky, I. M. (1991). On-chip automatic tuning based on amplitude detection and its application in CMOS continuous-time filters. *Analog Integrated Circuits and Signal Processing*, 1(3), 209-219.

Alegre, J. P., Celma, S., Calvo, B., & Garcia del Pozo, J. M. (2008). Design of a novel envelope detector for fast-settling circuits. *IEEE Transactions on instrumentation and measurement*, 57(1), 4-9.

Alegre, J. P., Celma, S., Garcia del Pozo, J. M., & Medrano, N. (2009). Fast-response low-ripple envelope follower. *INTEGRATION, the VLSI journal*, 42, 169-174.

Boudouris, A., & Peters, E. F. (1980). Audio amplitude detector circuit. *United states patent*. 4,206,415, (Eprad Incorporated), 929507.

Chu, H. Y., Jou, H. L., & Huang, C. L. (1992). Transient response of a peak voltage detector for sinusoidal signals. *IEEE Transactions on industrial electronics*, 39(1), 74-79.

Franco, S. (2002). *Design with operational amplifier and analog integrated circuit* (3rd ed.). McGraw-Hill Higher Education, 433-437.

Gilbert, B. (2006). Low supply current RMS-to-DC converter. *United states patent*. 7,002,394 B1 (Analog Devices, Inc.), 09/694,731.

Khoury, J. M. (1998, March). On the design of constant settling time AGC circuits. *IEEE Transactions on circuit and systems-II: Analog and digital signal processing*. 45(3), 283-294.

Kinget, P. (2006, May). *Amplitude detection inside CMOS LC oscillators*. Paper presented at the 2006 IEEE International symposium on circuits and systems (ISCAS 2006), Island of Kos, Greece.

Kriegsmann, G. A. (1985). An asymptotic theory of rectification and detection. *IEEE Transactions on circuit and systems, CAS-32*, 10, 1064-1068.

Liu, H., & Karsilayan, A. I. (2003). An accurate automatic tuning scheme for high-Q continuous-time bandpass filters based on amplitude comparison. *IEEE Transactions on circuit and systems-II: Analog and digital signal processing*, 50(8), 415-423.

Peyton, A. J., & Walsh, V. (1993). *Analog Electronics with Op-amps: A Source Book of Practical Circuits*. Cambridge University Pre, 231-246.

Povalac, P., & Hribik, J. (2006). Computer controlled measurement system. *Measurement science review*, 6, 1(4), 32-35.

Raksachat, P., Chaikla, A., Kaewpoonsuk, A., Riewruja, V. & Julsereewong, P. (2006, October). *An amplitude detector for variable frequency sinusoidal signals*. Paper presented at the SICE-ICASE International joint conference, Bexco, Busan, Korea.

Rerkratn, A., Lertpakdee, T., Chitsakul, K., Sangworasil, M., & Petchmaneelumka, W. (2006, October). *8-Electrode data collection system for electrical capacitance tomography*. Paper presented at the SICE-ICASE international joint conference 2006, Bexco, Busan, Korea.

Rerkratn, A., Pulkham, J., Chitsakul, K., Sangworasil, M., & Kaewpoonsuk, A. (2007, October). *High current low frequency eddy current imaging system*. Paper presented at the 2007 International conference on control, automation and systems (ICCAS 2007), COEX, Seoul, Korea.

Rerkratn, A., Pulkham, J., Chitsakul, K., Sangworasil, M., Keawpoonsuk, A., & Songsataya, K. (2005, June). *Eddy current system for coating thickness measurement*. Paper presented at the 2005 International conference on control, automation, and systems (ICCAS 2005), KINTEX, Gyeonggi-Do, Korea.

Sangpisit, W., Wardkein, P., Kiranon, W., & Loescharataramdee, C. (1998). A novel derivative envelope detector. *IEEE Transactions on consumer electronics*, 44(4), 1396-1405.

Sarafis, G. A., & Karybakas, C. A. (1989). Constant gain sinusoidal frequency multiplier. *International Journal of Electronics*, 67(1), 35-41.

Surakamponorn, W., & Kumwachara, K. (1999). A Dual translinear-based true RMS-to-DC converter. *IEEE Transactions on instrumentation and measurement*, 47(2), 459-464.

Wangwiwatthana, C., Kaewpoonsuk, A., & Riewruja, W. (2008, August). *An amplitude-to-digital converter*. Paper presented at the SICE annual conference, The university electro-communications, Japan.

Zhak, S. M., Baker, M. W., & Sarpeshkar, R. (2003). A low-power wide dynamic range envelope detector. *IEEE Journal of solid-state circuits*, 38(10), 1750-1753.